

Cavium dévoile le plus puissant processeur serveur du marché

Cavium présente la seconde génération de ses processeurs **ARM 64 bits** dédiés au monde des **serveurs**. Les ThunderX de première génération pouvaient accueillir jusqu'à 48 cœurs cadencés à 2,5 GHz, pour un score SPECint_rate de 350 (proche de celui d'un Xeon E5-2640v4 à 10 cœurs/20 threads).

La nouvelle puce ThunderX2 propose un maximum de **56 cœurs ARM cadencés à 3 GHz en pointe** (2,4 GHz à 2,8 GHz en fréquence de base). Le score SPECint_rate va mathématiquement au moins dépasser les 490. L'utilisation d'un cœur **ARMv8.2** rénové devrait toutefois doubler, voire tripler les performances du ThunderX1, indique Cavium.

Avec un score SPECint_rate compris **entre 700 et 1050** par puce (Cavium s'attend à un score d'au moins 820), le ThunderX2 fera jeu égal, ou dépassera le plus puissant des Xeon E5 v4 d'Intel, le Xeon E5-2699 v4 comprenant 22 cœurs (44 threads) à 2,2 GHz (3,6 GHz en pointe). Le champion d'Intel affiche en effet un score de 880 au benchmark SPECint_rate. Le X-Gene 3, avec ses 32 cœurs à 3 GHz et son score de 550, sera lui aussi dépassé.

Gros boost sur les accès mémoire

La partie mémoire de cette puce a été revue à la hausse, avec **6 contrôleurs mémoire** capables de piloter de la **DDR4 à 3200 MHz**, soit un débit théorique de **153,6 Go/s**, contre 78,9 Go/s précédemment. La quantité de mémoire cache est elle aussi doublée et atteint les **32 Mo**. Une configuration comprenant deux puces ThunderX2 (soit un total de 112 cœurs ARM !) pourra piloter **3 To de RAM**.

Pour soutenir cette montée en gamme, le ThunderX2 est gravé en **14 nm FinFET**... tout comme les dernières puces d'Intel. Côté interfaces, Cavium évoque du PCI Express Gen3 16x, du SATA 3 et de **l'Ethernet à 100 Gb/s**. De multiples accélérateurs seront présents, pour la virtualisation, le stockage, le réseau et la sécurité.

CentOS, FreeBSD, Red Hat, SUSE et Ubuntu sont d'ores et déjà annoncés pour ce composant ARM extrême, qui sera compatible avec les standards **SBBR** (Server Base Boot Requirements) et **SBSA** (Server Base System Architecture).

À lire aussi :

[Le X-Gene 3 au niveau des puces Intel Xeon ?](#)

[Réalité virtuelle et 10 nm débarquent chez ARM](#)

[Huawei prépare son offensive dans les serveurs ARM](#)