

La mémoire ré-inscriptible à oxyde de silicium se concrétise

Une équipe de chercheurs de l'[université de Rice](#) à Houston dirigée par James Tour a mis au point un dispositif de mémoire ré-inscriptible basé sur l'oxyde de silicium.

Une puce de 1 ko, mais des qualités hors-norme

Si cette puce à vocation de « démonstration de faisabilité » (*proof of concept*) n'offre qu'une capacité limitée de 1 kilo octets (ko), elle n'en est pas moins révolutionnaire et porte peut-être en elle les germes des futures mémoires ré-inscriptibles.

Avec des possibilités d'empilement 3D (à l'instar de la VRRAM (*Vertical ReRAM*) développée par Samsung), cette technologie devrait également être beaucoup plus dense que celle utilisée dans les actuelles mémoires flash. Elle est par ailleurs plus rapide et consomme moins que cette dernière.

Mais elle est également capable de résister à des températures élevées ainsi qu'aux rayons cosmiques. Des motifs rudimentaires de ce type de mémoire développés par le laboratoire de James Tour sont d'ailleurs actuellement à bord de la station spatiale européenne (ISS) afin de mesurer leur résistance à ces rayons à forte énergie.

Mémorisation par création d'un canal dans l'oxyde de silicium

La technologie est basée sur un canal qui se crée dans la couche d'oxyde de silicium lorsqu'une tension est appliquée à ses bornes. Le courant qui passe dans cette couche « écarte » en effet les molécules d'oxygène et crée ainsi un canal large de quelques 5 micromètres (μm), soit 5 millièmes de millimètre. Toutefois, la puce réalisée embarque des points mémoires disposant de canaux larges de 10 à 100 μm afin d'obtenir différents motifs de test.

Suivant la tension appliquée, ce canal peut être « fermé » ou bien recréé, ce qui équivaut à un bit pouvant prendre les valeurs « 1 » ou « 0 ».

Le dispositif s'avère robuste avec un rapport marche arrêt de 10 000 pour 1, ce qui devrait lui permettre de fonctionner durant 10 ans de manière fiable.

Absence de corruption des données avec ajout de diodes

Par rapport aux versions préliminaires dénommées « 1R » (« 1 résistance »), les problèmes de diaphonie entre les points mémoire adjacents sont désormais écartés grâce à l'utilisation de diodes dans une structure dite 1D-1R (« 1 diode-1 résistance »).

Le dispositif d'oxyde de silicium est pris en sandwich entre deux couches de palladium, le tout reposant sur une couche d'aluminium sous laquelle se trouve du silicium dopé p, une jonction pn est ainsi créée en série avec la résistance présentée par la couche d'oxyde de silicium.

James Tour de conclure : « *C'est désormais aux industriels d'adapter la technologie à des plus grosses mémoires, mais notre puce démontre que cela peut être fait.* »

