

Power7+ et Sparc T5 : IBM et Oracle relancent la guerre des RISC

Les architectures processeur **RISC** entendent bien ne pas se laisser distancer par l'envahissant **x86**. En témoignent les plans des deux leaders du secteur, IBM et Oracle.

Commençons par **IBM**, qui devrait prochainement lever le voile sur le **Power7+**. Cette mise à niveau du Power7 adoptera une finesse de gravure de 32 nm, contre 45 nm précédemment.

Rien n'indique pour le moment si ce changement se traduira par une augmentation de la fréquence maximale de fonctionnement du processeur, laquelle est tout de même de **4,25 GHz** pour le Power7 ! De même, le Power7+ restera une puce **octocœur**.

Par contre, ce gain en finesse de gravure permettra d'embarquer plus de transistors, et ainsi de passer de 32 Mo de cache L3 à **80 Mo**. Notez que la mémoire cache est ici de l'embedded DRAM et non de la SRAM, afin de réduire le nombre de transistors employés.

Bon point, **des modules comprenant deux Power7+** pourront être intégrés sur un seul et même socket. Une caractéristique qui permettra d'augmenter la densité des serveurs, mais aussi de réduire le coût des licences des logiciels facturés par socket.

Le Power7+ devrait être disponible d'ici la fin de l'année.

16 cœurs chez Oracle

Avec le Sparc T4, **Oracle** a abaissé le nombre de cœurs par rapport à son prédécesseur (8, contre 16 pour le T3), mais a largement augmenté la fréquence maximale de fonctionnement, qui peut atteindre les 3 GHz, et les performances par cœur.

Le **Sparc T5** se différenciera du T4 par une finesse de gravure de 28 nm (contre 40 nm précédemment). Bonne nouvelle, il intégrera **16 cœurs physiques** (128 threads), avec une fréquence maximale de fonctionnement de **3,6 GHz**.

La quantité de mémoire cache de niveau 3 sera également doublée et passera ainsi à 8 Mo. Au vu de la fréquence de fonctionnement de ce processeur, ce ne sera pas de trop. Enfin, le Sparc T5 intégrera toujours une large connectique, dont deux ports Ethernet à 10 Gb/s.

Ce composant pourra prendre place dans des serveurs octosockets. À cet effet, des liens NUMA à 15 Gb/s seront présents : 4 par puce en mode biprocesseur, 6 en quadrip processeur et 7 en octoprocesseur. Ceci permettra d'assurer **une montée quasi linéaire des performances** avec l'accroissement du nombre de processeurs.

Le Sparc T5 devrait être rendu public par Oracle avant la fin de l'année.

Voir aussi

[Dossier Silicon.fr – STMicroelectronics, ce géant méconnu des semiconducteurs](#)