

# Le Power8 d'IBM sera jusqu'à trois fois plus véloce que le Power7

[À la rentrée de septembre 2012](#), nous avons pu découvrir les premières spécifications du **Power8**, futur vaisseau amiral d'IBM. La firme laisse aujourd'hui fuiter de nouvelles informations sur son prochain processeur.

Ce dernier se veut deux à trois fois plus véloce que le Power7. Une performance qui devrait être atteinte sans peine. Le Power8 propose en effet 12 cœurs capables de gérer un total de 96 threads, contre un maximum de 8 cœurs et 32 threads pour son prédécesseur.

Le tout est gravé en 22 nm (45 nm pour le Power7, 32 nm pour l'actuel Power7+), avec une fréquence de fonctionnement maximale de 4 GHz (4,25 GHz pour le Power7, 4,4 GHz pour le Power7+). Le cadencement de l'horloge se réduit donc légèrement avec la montée du nombre de cœurs.

## Des caches élargis

Tout le problème avec de tels composants réside dans leur alimentation en instructions et données, qui doit être suffisamment soutenue. Une puce 64 bits à 4 GHz ne sert pas à grand-chose si la bande passante entre les unités de calcul et la mémoire est limitée à quelques centaines de mégaoctets par seconde.

IBM a vu ici les choses en grand. Le cache de niveau 1 (le plus rapide, mais également le plus gourmand en transistors) passe à 96 Ko (32 Ko pour les instructions, 64 Ko pour les données). Il était auparavant de 32+32 Ko.

La mémoire cache de niveau 2 est doublée : 512 Ko par cœur. Celle de niveau 3 passe à 96 Mo d'eDRAM (embedded DRAM) par composant contre 32 Mo pour le Power7 et 80 Mo pour le Power7+.

Enfin, la mémoire cache de niveau 4 refait son entrée. Externe, elle se présente sous la forme de composants eDRAM de 16 Mo, qui pourront être reliés entre eux dans la limite de 128 Mo de cache L4.

Armé de toutes ces technologies, le Power8 devrait afficher une bande passante mémoire doublée, à 230 gigaoctets par seconde, ainsi que des I/O à 48 Go/s. Notez qu'il sera capable de piloter un maximum de 1 To de mémoire vive.

## Le pouvoir... d'être ouvert

L'avancée la plus importante du Power8 pourrait bien résider dans les entrées/sorties. Avec ce composant, IBM abandonne ses technologies propriétaires au profit d'une approche plus classique.

La présence d'un port CAPI (basé sur le bus PCI Express 3.0) permettra ainsi d'ajouter des cartes

accélérateurs (GPU, FPGA, ASIC) au Power8. Cette ouverture devrait également se traduire par l'arrivée de serveurs Power distribués par d'autres constructeurs.

Sont d'ores et déjà membres de [l'OpenPower Consortium](#) : Nvidia pour les solutions graphiques, Tyan pour les cartes mères et Mellanox pour les interfaces réseau. Google, lui aussi présent dans le consortium, pourrait utiliser cette architecture processeur au sein de ses datacenters (peut-être même au sein de SoC « maison »).

---

**Voir aussi**

[Quiz Silicon.fr – IBM le doyen de l'industrie IT](#)