

R&D : IBM va tripler la mémoire embarquée des processeurs

En apportant une nouvelle approche pour exploiter la mémoire, IBM annonce qu'il va tripler la quantité de données stockées dans la mémoire embarquée sur un processeur, ce qui devrait doubler leurs performances.

Lorsque l'utilisateur patientait face à un écran qui affichait lentement des données exclusivement textuelles ? rappelons qu'il y a vingt ans quelques kilos d'octets (Ko) suffisaient pour développer une page ou écrire un courrier ? la mémoire avait peu d'importance.

Mais avec la donnée qui a gonflé, en quantité comme en volume, l'arrivée du multimédia, du graphisme, de l'audio et de la vidéo, et aujourd'hui des services web, sans oublier les usines à gaz que sont les suites bureautiques, ERP, CRM, etc., la mémoire s'est imposée jusque sur le processeur.

La présence de mémoire cache, de niveau 2 et même 3, embarquée au cœur du processeur, dans ses circuits, s'est imposée comme un outil de performance qui accélère le traitement de l'information en réduisant les délais associés au transport des données de et vers la mémoire externe (RAM).

Aucun fondeur n'y échappe, qu'il s'agisse de proposer comme Intel sur ses dual ou quad core un bloc de mémoire cache partagé par les cœurs de processeurs, ou comme chez AMD un cache par cœur, et même sur son futur quad core un cache de niveau 3 supplémentaire.

Mais cette mémoire rapide, basée sur la technologie SRAM (*Static Random-Access Memory*), est particulièrement gourmande en ressources. Il faut en effet six transistors pour stocker un bit de donnée ! La mémoire DRAM (*Dynamic Random-Access Memory*) ne nécessite que deux composants, un transistor et un '*capacitor*', pour stocker un bit. Mais elle est considérée comme trop lente pour être adaptée à un cache.

IBM vient d'annoncer la convergence des deux technologies, et a présenté à San Francisco un circuit DRAM, développé en Sol (*Silicon on Insulator* ? silicium sur isolant), suffisamment rapide pour être exploité en mémoire cache.

Une mémoire DRAM traditionnelle transfère un bit de donnée en 10 à 12 nanosecondes. Une mémoire SRAM réalise la même opération en 0,8 à 1 nanoseconde. La nouvelle DRAM présentée par IBM affiche des performances de l'ordre de 1,5 nanoseconde, soit le milliardième de seconde !

Avec des performances proches, on peut donc imaginer sur une même surface stocker trois fois plus de données en DRAM nouvelle génération que sur du SRAM. Et pour une complexité et un prix de fabrication inférieurs à la SRAM.

On comprend mieux pourquoi AMD, le concurrent d'Intel partenaire d'IBM sur la R&D des semi-conducteurs, tient pour acquis une prochaine révolution technologique qui devrait lui permettre de prendre une très nette avance sur son rival?