

## R&D : Rambus cible la mémoire à 1 To/s

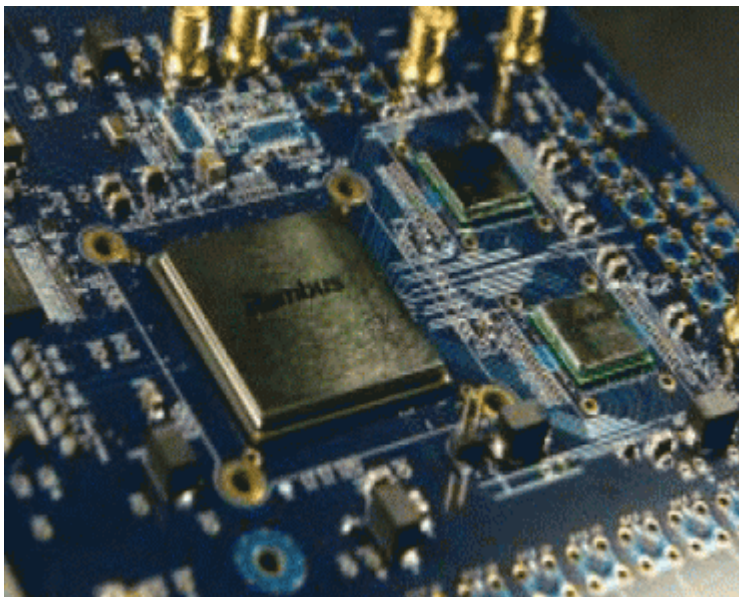
Il n'y a pas que du côté de la vitesse d'horloge qu'il faut rechercher des gains de performance dans les mémoires. Rambus veut également travailler sur la bande passante et se montre ambitieux en visant la multiplication du taux de transfert des données.

Pour cela, Rambus vient de lancer la *Terabyte Bandwidth Initiative*, dont l'objectif est de multiplier le taux de transfert des mémoires DDR par 32 !

La mémoire DDR avait déjà multiplié par 2 le taux transfert par rapport aux anciennes technologies de mémoire. Avec la DDR3 en 500 Mhz, la bande passante est de 1 Go/s. L'objectif de l'initiative lancée par Rambus est de passer à une bande passante de 1 To/s.

Pour cela, la technologie retenue sera composée d'une architecture SoC (*System on Chip*) qui embarquera 16 modules DRAM à 16 Go/s, avec 4 octet par DQ (pin). Elle embarquera également la technologie FlexLink C/A (*command/address*) avec des liens directs point-à-point sur chaque DQ.

L'intégration de la technologie FlexLink C/A, en plus de participer à l'augmentation de la bande passante, devrait apporter plus de flexibilité pour la programmation.



Et pour allier la démonstration à la parole, Rambus a présenté lors du *Rambus Developer Forum* qui vient de se tenir à Tokyo un composant DRAM émulé connecté à un contrôleur mémoire 32X en 64 Go/s.