

Révolution des 'chips'? Intel insère la 3D dans les transistors

Paul Otellini, p-dg d'Intel, n'y va pas par quatre chemins, évoquant une « ré-invention » : « Les scientifiques et les ingénieurs d'Intel ont une fois de plus réinventé le transistor... ».

Intel dévoile en effet un nouveau **type de transistor** de technologie MOS (pour Metal Oxide Semiconductor). Il marque un tournant important, à en croire les premiers commentaires. Le 3D Tri-Gate, annoncé ce 4 mai, a été « inventé » en 2002, en réalité. Il vise des performances plus élevées pour un coût à peine supérieur au transistor MOS classique.

Intel parle d'un « *une nouvelle structure tridimensionnelle* » .

C'est un « *design de transistors en 3D révolutionnaire, baptisé Tri-Gate et présenté pour la première fois en 2002, dans un microprocesseur (nom de code Ivy Bridge) en production de grande série et gravé en 22 nanomètres* » (pour rappel, un nanomètre, c'est un milliardième de mètre). Intel insiste : il s'agit là des « *premiers transistors 3D au monde* » .

Outre des performances accrues, ce nouveau transistor bénéficie d'une intégration plus importante. Et ainsi, l'ensemble de l'univers électronique/informatique va pouvoir en bénéficier – des processeurs aux mémoires, « *des plus petits terminaux à de puissants serveurs pour le cloud computing...* », explique Intel.

L'idée centrale est de fournir plus de puissance en puisant moins d'énergie électrique. Mais où est la révolution ? Sur le principe, il fonctionne selon le même mode que tous les transistors MOS. Un canal est créé sous l'oxyde fin situé lui-même sous la grille, comme l'explique [ITespresso.fr](http://www.lesespresso.fr). « *De manière synthétique, la tension appliquée sur ladite grille vient ou non pincer le canal et le courant passe ou non. Le transistor agit donc toujours comme un interrupteur. Lorsqu'il est ouvert, il doit laisser passer le moins de courant possible (courant de fuite). Un tel transistor 'MOS planar' est celui qu'on trouve absolument partout dans les circuits numériques* » .

C'est donc l'abandon de la structure planaire bidimensionnelle utilisée partout jusqu'ici.

Le transistor 3D Tri-Gate apporte une innovation car le canal créé est pris en sandwich dans la grille du transistor. Ainsi, la zone « active » n'est plus sous la grille mais encastrée dans la grille. Cela assure donc un meilleur contrôle du fonctionnement du transistor: la tension entre la grille et la source (VGS) est appliquée de chaque côté du canal. Le champ électrique se retrouve donc réparti sur tout le volume de ce canal.

Ce nouveau MOS fonctionne donc mieux grâce à un contrôle amélioré de la tension dite 'VGS'. La tension de seuil est plus faible que sur un transistor '*planar*' conventionnel . Ce qui permet un fonctionnement à une tension d'alimentation plus faible. Et c'est donc moins de puissance au final. Ici, cette tension de seuil plus faible lui permet également de passer du mode ouvert au mode fermé ('1' ou '0') beaucoup plus rapidement.

Cela se traduit par une fréquence de transition du transistor plus élevée. Les courants de fuite sont également plus faibles et participent donc à une meilleure autonomie de l'appareil qui intègre le

circuit.

Une autre différence est à noter avec ce transistor 3D Tri-Gate comparé à des composants homologues de R&D: il sera piloté, inséré dans un processeur Intel : le **Ivy Bridge**. Ce sera le **premier microprocesseur gravé en 22nm** et il bénéficiera du transistor 3D Tri-Gate. Il sera « *le premier à être fabriqué en grande série sur la base de transistors 3D Tri-Gate.* »

Les processeurs Intel Core à base de puces Ivy Bridge seront les premiers à être fabriqués en grande série et à bénéficier de ces transistors 3D Tri-Gate. Ces puces sont « *prévues pour une production de grande série d'ici à la fin de l'année* », précise le fondeur.

Intel insiste aussi sur un autre argument : ce nouveau type de transistor ne serait pas beaucoup plus coûteux à fabriquer (seulement +2 à 3%).

Déjà on peut s'interroger : est-ce la fin des technologies **SOI** (*Silicon On Insulator*)? Car cette technologie SOI ou, chez Intel, **FDSOI** (pour *Fully Depletion Silicon On Insulator*) impliquerait un surcoût de +10%...

Pour Intel, c'est une « révolution », qui permet, une fois encore, de ne pas démentir la fameuse loi de Moore sur l'expansion continue des capacités des semi-conducteurs doublement de capacité tous les 2 ans...).

Caractéristiques techniques

Les transistors 3D Tri-Gate 22 nm affichent des gains de performances allant jusqu'à 37 % en basse tension par rapport aux transistors planaires 32 nm d'Intel. Alternativement, les nouveaux transistors consomment moins de 50% d'énergie pour des performances identiques à celles de leurs prédécesseurs 2D planaires sur puces 32 nm.

La porte planaire (« plate ») jusqu'ici en deux dimensions est remplacée par une ailette tridimensionnelle « *incroyablement fine* », en position verticale par rapport au substrat de silicium. Le contrôle du courant intervient en plaçant une porte sur chacun des trois côtés de l'aileron (une sur chaque côté et une troisième au-dessus) et non plus seulement une au-dessus, comme c'est le cas pour un transistor planaire en 2D. Ce contrôle supplémentaire permet la transmission d'autant de courant que possible lorsque le transistor est en mode actif (dans un souci de performances) et aussi proche de zéro que possible quand il est en mode éteint (pour limiter la consommation électrique). Il lui permet ainsi de passer très rapidement d'un état à l'autre, là encore, dans un souci de performances.

La structure du transistor 3D Tri-Gate constitue un moyen de gérer la densité. Comme ces ailerons sont verticaux, les transistors peuvent être rangés de manière plus dense les uns à côté des autres (...). Les concepteurs auront aussi la capacité d'allonger les ailerons pour en tirer encore plus de performances et de rendement électrique.

Ainsi, en technologie miniaturisée à 22 nm, « *plus de six millions de transistors pourraient être logés sur la surface d'un point de ponctuation !* »