

Semi-conducteurs: le design et la course aux brevets

Le marché des circuits intégrés est en progression constante depuis plusieurs années. Il est tiré par les équipements grand-public: consoles de jeu, ordinateurs personnels et autres téléphones portables.

De ce fait, ce marché est de plus en plus soumis aux phénomènes de mode propres à ces objets: la demande explose brutalement, mais peut retomber tout aussi vite. Cette situation a conduit l'industrie des semi-conducteurs à s'organiser pour être en mesure de fournir très rapidement des composants qui soient à la fois fiables et à faible coût de revient. Il faut donc concevoir -c'est le « design »-, puis produire, industriellement et sous forte contrainte. Pour ce qui est de l'évolution du design, un concept est apparu il y a quelques années, comparable à la notion de bibliothèques logicielles que l'on trouve dans les systèmes d'information: le concept de blocs d'« IP ». Ces blocs de « propriété intellectuelle » (PI) représentent aujourd'hui un marché mondial de plus de 1 milliard d'euros par an, en croissance de 16% en 2005. L'approche « IP » est incontournable dans le cas des « systems on chip » (ce vocable désigne l'intégration sur un composant unique - la puce - de multiples fonctions constituant un système). Conscients de ces enjeux, les plus grands acteurs mondiaux concernés par ce dossier se sont réunis la semaine dernière à Grenoble pour faire le point sur la technologie et sur le marché. Ces acteurs se répartissent en 3 familles: - les « **fondeurs** » (les fabricants de circuits intégrés) dont les principaux se nomment Intel, Samsung, STMicroelectronics, Texas Instruments, TSMC, ou ARM dans la fourniture de design... - les **éditeurs de logiciels spécialisés** dans les outils de conception de circuits: Cadence, Mentor Graphics, Synopsys - et les nouveaux venus, les « **IP Providers** », fournisseurs de ces fameux modules logiciels de propriété intellectuelle: PLD, Dolphin Integration, GDA, Denali, Soisic, Mips, Poseidon. Alors que l'on parle d'un ralentissement du taux annuel de croissance dans le semi conducteur (bien que le marché reste en expansion), d'un fléchissement de la fameuse « loi de Moore » (qui dit que la performance des circuits intégrés, à surface égale, double tous les 2 ans), et d'une augmentation constante des coûts de la conception, il est en effet devenu urgent pour les acteurs de cette industrie de régler entre eux les questions cruciales telles que leur dépendance mutuelle, les droits de licence, et la validité de leur « *business model* » ... C'est le but des journées de Grenoble, organisées sous l'égide de « *Design and Re-Use* » (concevoir et ré-utiliser): on ne saurait trouver meilleure devise! (*) **Consultant Le S.O.I. : une génération d'avance ?**

La loi de Moore est-elle révolue ? Les acteurs principaux de la conception de circuits intégrés, réunis à Grenoble la semaine dernière, semblent en convenir. Mais bien sûr une nouvelle technologie, le SOI (« *Silicon On Insulator* », ou Silicium sur Isolant en français) est déjà prête à outrepasser ces limitations, devant les enjeux de la course à la puissance de calcul des circuits intégrés. En effet, toute nouvelle famille de circuits intégrés doit à la fois être plus rapide et moins consommatrice d'énergie que la précédente (« *more speed / less power* », dit-on dans le jargon des professionnels des semi-conducteurs). Les applications du téléphone portable sont la constatation la plus visible de cette demande de puissance et d'autonomie. Comment alors concevoir de nouveaux circuits intégrés répondant à ces défis technologiques sans remettre en cause les méthodes et outils de conception existants ? Une société grenobloise, SOISIC, spécialisée dans la conception de blocs d'IP

(*intellectual property*) pour le Sol, semble particulièrement bien armée face à ces enjeux et a probablement pris une bonne avance en annonçant avoir permis, grâce à ses bibliothèques logicielles, de produire les premiers circuits en technologie Sol à 90 nanomètres (l'échelle d'intégration la plus avancée industriellement). Les performances annoncées par SOISIC font état, à fonctionnalités équivalentes, d'une réduction de 10% de la taille de la puce, d'un gain de 25% en rapidité, et d'un gain de 50% en consommation de courant. Rien d'étonnant à ce que Soisic ait été une des vedettes des rencontres « *Design et Re-Use* » de Grenoble la semaine dernière.