

Silvermont : Intel révisé la structure de l'Atom

Intel avance ses pions sur le marché des micro-serveurs en officialisant sa nouvelle famille de processeurs **Atom 'Avoton' C1200**.

Tous disposent de 2 à 8 cœurs physiques (jusqu'à 16 logiques avec la technologie HyperThreading) gravés en 22 nm, pour une enveloppe thermique variant de 6 à 20 W selon les modèles. Ils sont basés sur la micro-architecture à faible consommation Silvermont, qui succède à la dénommée Saltwell dans une même logique de rapport performance par watt. Leur est désormais calquée la [stratégie 'tic-toc'](#) adoptée avec les puces Core-i : d'une année à l'autre, l'innovation alternera entre un changement de micro-architecture ('toc') et l'introduction de nouveaux masques de lithographie ('tic') pour une gravure plus fine.

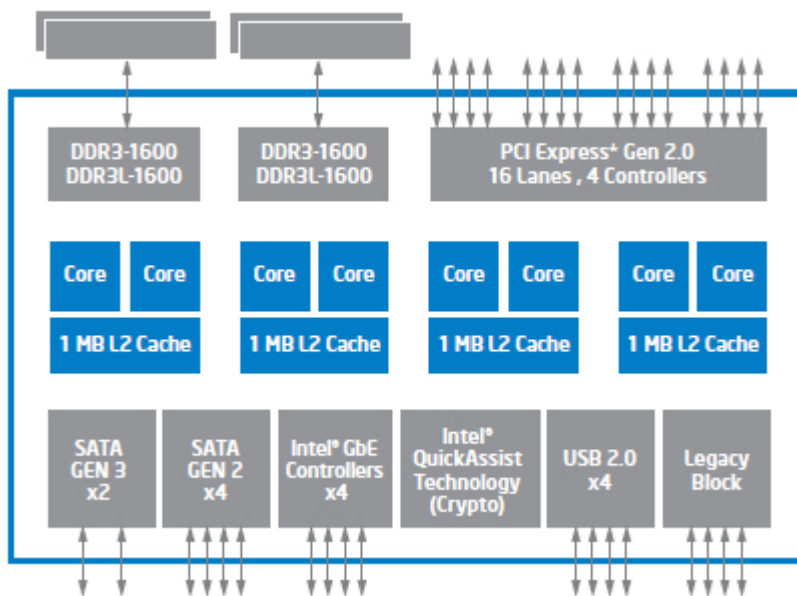
Pour l'heure, l'attention se porte sur Silvermont, qui vise de nombreux segments de marché, dont les smartphones (plate-forme Merrifield), les tablettes (Bay Trail), les équipements réseau (Rangeley)... et donc l'univers des serveurs, avec Avoton, successeur du Centerton. Ce dernier, gravé en 32 nm, est exploité commercialement depuis décembre 2012. Il a notamment été adopté par Facebook dans le cadre du projet Open Compute, qui vise à constituer une architecture de datacenter plus dense et moins énergivore.

De Saltwell à Silvermont

D'une génération à l'autre, Intel fait valoir un haut niveau d'intégration qui contribuerait à tripler les performances en multitâche (x2 en monotâche), mais aussi à diviser par 5 l'enveloppe thermique pour les tâches exploitant un seul cœur (et 2 pour les autres). Par opposition aux Atom destinés à l'univers de la mobilité, les Avoton bénéficient d'un bus d'entrées-sorties optimisé et s'adaptent dynamiquement aux applications qui ne supportent que le traitement monocœur. Moyennant quelques ajustements techniques pour répondre aux contraintes de la très faible consommation, ils reprennent de nombreuses innovations mises en œuvre dans les processeurs Core-i « Haswell » annoncés en juin dernier.

Illustration avec la conception intégrale *out-of-order* : les instructions sont interprétées dans l'ordre, mais exécutées dans le désordre, pour plus d'efficacité, notamment lorsqu'un programme est dépendant de variables. Dans ce même esprit, l'unité de prédiction liée à chaque cœur hérite de capacités de branchements 'IF' plus larges, avec un système de décodage bicanal.

Alors que Saltwell gérait un maximum de 2 cœurs physiques, Silvermont en accepte 2, 4 ou 8, chaque paire étant pourvue de sa propre interface d'E/S et de 1 Mo de cache L2. De nombreux contrôleurs jusqu'alors indépendants sont dorénavant embarqués : jusqu'à quatre interfaces SATA 2 et deux SATA 3, 4 liens Ethernet (2,5 Gb/s), 4 ports USB 2.0, 16 lignes PCIe 2.0...



Nouvelle

architecture

Jean-Laurent Philippe, directeur des ventes techniques pour l'Europe de l'Ouest, annonce également un support étendu de la mémoire vive LPDDR3 ECC (*Error Correction Code*), avec une capacité allant jusqu'à 64 Go, contre 8 Go au maximum pour Saltwell.

La principale avancée en termes de sécurité, c'est la prise en charge de l'AES-NI (*Advanced Encryption Standard New Instructions*), destiné à améliorer la vitesse de chiffrement des données. Quant aux transistors « 3D » FinFET TriGate (à trois grilles), ils restent d'actualité, avec un canal mieux contrôlé que celui des transistors MOS planaires et une baisse de tension (-100 mV) tout en conservant le même courant de fuite : « à consommation égale, ils sont 37% plus rapides ».

L'ajustement de la consommation électrique passe aussi par l'introduction de nouveaux états de veille (C-states) et de la technologie Burst 2.0 (équivalent du Turbo Boost des Core-i), qui permet de désactiver des cœurs à la volée pour augmenter la fréquence des autres, sans relever l'enveloppe thermique.

« En termes de densité, on est sur un facteur 4 par rapport aux Centerton », ajoute Jean-Laurent Philippe. Nous augmentons les performances de chaque cœur et en implémentons davantage ». Et d'illustrer son propos avec l'exemple d'un rack 4U pourvu de 45 cartouches équipées en Atom S1200 ; 180 cartouches dotées d'un Atom C1200 pourront se loger dans la même enveloppe physique et thermique.

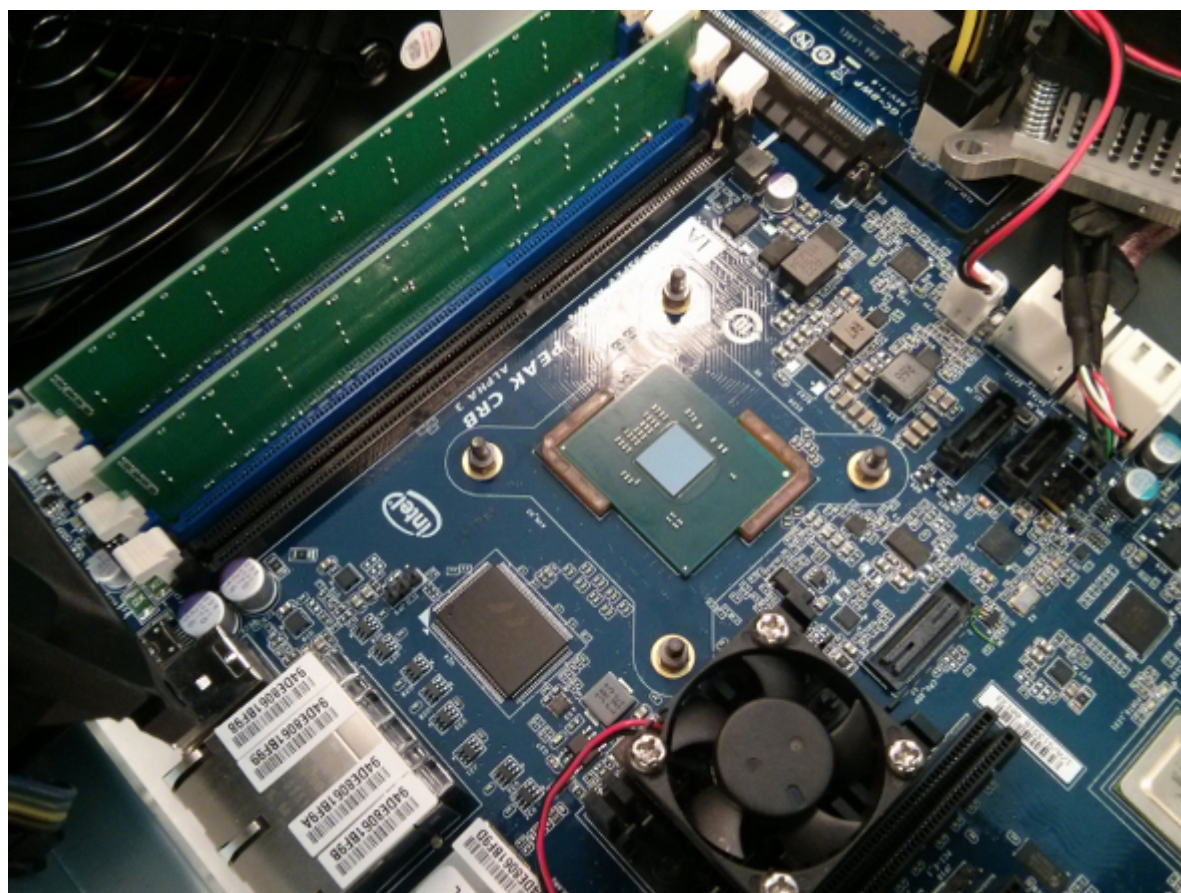
L'ARM à l'œil

Avec cette offre Avoton, Intel vise essentiellement l'hébergement de sites Web, les applications de type serveur (comme Java), la mémoire distribuée ou encore le stockage de données « froides ». Mais le support de la virtualisation matérielle (VT-x2, c'est-à-dire la capacité, pour le processeur, d'exécuter plusieurs OS simultanément) laisse entrevoir des usages comme l'exécution de machines virtuelles simplifiées pour délivrer des services aux terminaux mobiles.

Le véritable élément différenciateur face à la montée en puissance des SoC ARM reste, outre la richesse de l'écosystème, cette prise en charge des instructions 64 bits. Un avantage temporaire, néanmoins, le concepteur britannique prévoyant de s'aligner d'ici 2014 avec le jeu d'instructions ARMv8.

Récapitulatif de l'offre Avoton :

- Atom **C2350** : 6 W, 2 cœurs à 1,7 GHz (2 GHz avec Burst), un canal mémoire DDR3L-1333 avec ECC jusqu'à 16 Go, 4 lignes PCIe 2.0, 4 interfaces Ethernet 2,5 Gb/s, 2x SATA 3 et 4 USB 2.0.
- Atom **C2530** : 9 W, 4 cœurs à 1,7 GHz (2 GHz avec Burst), mémoire bicanal DDR3L-1333 avec ECC jusqu'à 32 Go, 8 lignes PCIe 2.0, 2 interfaces Ethernet 2,5 Gb/s, 2x SATA 3 et 4 USB 2.0.
- Atom **C2550** : 14 W, 4 cœurs à 2,4 GHz (2,6 GHz avec Burst), mémoire bicanal **DDR3L-1600** avec ECC jusqu'à 64 Go, **16 lignes PCIe 2.0**, 4 interfaces Ethernet 2,5 Gb/s, 2x SATA 3, 4x SATA 2 et 4 USB 2.0.
- Atom **C2730** : 12 W, 8 cœurs à 1,7 GHz (2 GHz avec Burst), mémoire bicanal DDR3L-1600 avec ECC jusqu'à 32 Go, 8 lignes PCIe 2.0, 2 interfaces Ethernet 2,5 Gb/s, 2x SATA 3 et 4 USB 2.0.
- Atom **C2750** : 20 W, 8 cœurs à 2,4 GHz (2,6 GHz avec Burst), mémoire bicanal DDR3L-1600 avec ECC jusqu'à 64 Go, 16 lignes PCIe 2.0, 4 interfaces Ethernet 2,5 Gb/s, 2x SATA 3, 4x SATA 2, 4 USB 2.0.



— **A voir aussi** —

[Quiz Silicon.fr : Inside Intel !](#)