

# SK Hynix ouvre la voie à la DDR5

L'arrivée de la DDR5 sur le marché ? On s'en rapproche. La [dernière annonce](#) de SK Hynix le rappelle. Le groupe coréen se dit prêt à fournir des puces aux fabricants de barrettes de RAM.

Les puces en question ont une capacité de 16 Gb. Assemblées avec la technologie TSV (intégration tridimensionnelle), elles peuvent donner des modules [LRDIMM](#) de 256 Go.

On est encore loin des 2 To que l'architecture de la DDR5 rend possibles.

La limite théorique des 6,4 Gb/s de bande passante définie dans la spécification DDR5 n'est par ailleurs par encore franchie : les puces SK Hynix peuvent pour le moment monter à 5,6 Gb/s. C'est cependant plus que le palier des 5 Gb/s que la DDR4 a récemment atteint.

La DDR5 arrivera dans un premier temps sur les serveurs. Intel en a promis la prise en charge sur les Xeon Sapphire Rapids, attendus pour fin 2021, début 2022.

Au-delà du doublement de la bande passante et du gain en densité (taille maximale de *die* : 64 Gb, contre 16 Gb en DDR4), la consommation électrique devrait diminuer, grâce à l'abaissement de la tension nominale (1,1 V, contre 1,2 V pour la DDR4). Le contrôle du voltage ne se fera plus au niveau de la carte mère, mais au niveau des barrettes.

Comme la LPDDR4 et la GDDR6, la DDR5 ne présente pas un canal de 64 bits, mais deux canaux 32 bits (40 bits en ECC). Cela favorise notamment la réduction de la latence : une banque peut être rafraîchie pendant qu'une autre est en cours d'utilisation. Avec le doublement de la longueur du *burst*, chaque canal gère 64 octets par opération.

D'après les estimations du cabinet d'analyse stratégique Omdia (que relaie SK Hynix), la DDR5 représentera 10 % du marché de la DRAM en 2022. Puis 43 % en 2024.

*Illustrations © SK Hynix*